

KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020010076330 A
(43)Date of publication of application: 11.08.2001

(21)Application number: 1020010002833
(22)Date of filing: 18.01.2001
(30)Priority: 21.01.2000 JP 2000
2000012740

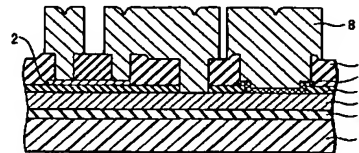
(71)Applicant: SONY CORPORATION
(72)Inventor: ADACHI KIWAMU

(51)Int. Cl. H01L 27/04

(54) MANUFACTURING METHOD OF ELECTRONIC MEMBER HAVING CAPACITIVE ELEMENT AND RESISTIVE ELEMENT, SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57) Abstract:

PURPOSE: To provide a technology by which a material excellent as a capacitive element material, capable of utilizing properly for another application, and capable of obtaining a component with the suitability of the material to both the applications.



CONSTITUTION: (1) A manufacturing method of an electronic component having a capacitive element and a resistive element which includes a process, in which material layers (such as a CVD tantalum oxide film) made of identical material are subjected respectively to different treatments to form a capacitive element and a resistive element. (2) A manufacturing method of an electronic component which includes a process, in which material layers made of identical material are subjected respectively to different treatments to form a capacitive element and a resistive element. (3) A semiconductor device which has a capacitive element 1 and a resistive element 2, which are formed by different treatments to which material layers made of identical material are subjected respectively.

© KIPO & JPO 2002

Legal Status

국내공개특허공보 특2001-76330호(2001.08.11) 1부.

[첨부그림 1]

특2001-0076330

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(SI) Int. Cl.⁷
H01L 27/04

(11) 공개번호 특2001-0076330
(43) 공개일자 2001년08월11일

(21) 출원번호	10-2001-0002833
(22) 출원일자	2001년01월18일
(30) 우선권 주장	2000-012740 2000년01월21일 일본(JP)
(71) 출원인	소니 가부시키 가이샤 이데이 노부유키
(72) 발명자	일본국 도쿄도 시나가와구 키타시나가와 6초메 7반 35고 아다치키와루
(74) 대리인	일본도쿄도 시나가와구키타시나가와6-7-35소니가부시키가이샤내 이병호

심사청구 : 없음

(54) 용량소자와 저항소자를 갖는 전자부재의 제조방법, 반도체장치의 제조방법 및 반도체 장치

요약

본 발명은 용량소자 및 저항소자를 가진 전자 부재를 제조하는 방법에 관한 것이며, 상기 용량소자 및 저항소자는 재료층(예를들면, CVD 처리에 의해 형성된 산화 탄탈막)을 국부적으로 산화 또는 질화처리하여 상기 재료층에 각기 형성된다. 또한, 용량소자와 저항소자를 가진 반도체 장치의 제조 방법이 제공되며, 상기 용량소자 및 저항소자는 여러 처리방법으로 재료층을 국부적으로 처리하여 동일재료층에 각각 형성된다. 또한, 이렇게 형성된 저항소자 및 용량소자를 가진 반도체 장치가 제공된다. 본 발명에 의하면, 다른 적용예에 적절하게 적용될 수 있는 용량소자의 재료가 사용되고, 상기 재료는 용량소자 및 저항소자를 위해 적절한 다른 재료로 변환될 수 있다. 그래서, 본 발명은 용량소자 재료로서 뛰어나고, 또한 용량소자재료 이외의 용도인 저항소자형성이 가능한 재료로서 부가가치를 향상시키는 장점을 제공한다.

도표도

도1

색인어

용량소자, 저항소자, 층간 절연막, 배선

발명사

도면의 간단한 설명

- 도1 은 본 발명의 예1 에 따른 전자부재(반도체 장치)의 구조를 도시한 단면도.
- 도2 는 본 발명의 예2 에 따른 전자부재(반도체 장치)의 구조를 도시한 단면도.
- 도3 은 본 발명의 예2 의 처리 공정을 도시하는 단면도.
- 도4 는 도3 에서 연속되는 처리 공정을 도시하는 단면도.
- 도5 는 도4 에서 연속되는 처리 공정을 도시하는 단면도.
- 도6 은 도5 에서 연속되는 처리 공정을 도시하는 단면도.
- 도7 은 도6 에서 연속되는 처리 공정을 도시하는 단면도.
- 도8 은 도7 에서 연속되는 처리 공정을 도시하는 단면도.
- 도9 는 도8 에서 연속되는 처리 공정을 도시하는 단면도.
- 도10 은 종래의 전자 부재를 도시하는 단면도.

• 도면의 주요부분에 대한 부호의 설명 •

- 1 : 용량소자
- 2 : 저항소자
- 3 : 기판(실리콘 기판),
- 4,6 : 층간 절연막,
- 5 : 제1 배선
- 7 : 배선간 층간 절연막,
- 8 : 제2 배선
- 9 : 산화 탄탈막

91 : 용량 소자부

92 : 저항 소자부.

본 발명의 상세한 설명

본 발명의 목적

본 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 용량소자와 저항소자를 갖는 전자부재의 제조방법, 제조 방법에 따른 반도체 장치의 제조방법 및, 이러한 반도체 장치의 제조방법에 의해서 얻어지는 반도체 장치에 관한 것이다. 본 발명은 특히, 용량소자와 저항소자간의 형성공정을 향상시키는 것이며, 본 발명은 예를들면, 금속 등으로 이루어진 전극의 사이에 위치하는 용량소자 및 금속 등으로 이루어진 전극의 사이에 위치하는 저항소자를 구비한 전자부재 또는 반도체 장치의 분야에서 양호하게 이용될 수 있다.

종래부터, 용량소자를 갖는 전자부재 또는 용량소자와 저항소자를 함께 갖는 전자부재들이 공지되어 있다. 예를들면, 수동소자로서 용량소자와 저항소자를 갖는 LSI 등의 반도체 장치가 알려져 있다.

종래의 이러한 반도체 장치의 예를 도10에 도시하였다. 예를들면 실리콘으로 이루어진 기판(3) 상에 층간 절연막(41,42)을 사이에 적재하여 제1 배선(5)을 형성하고, 그 위에 배선간 층간 절연막(7)을 사이에 끼워서 제2 배선(6)을 형성하고 있다.

여기서, 도시된 종래 예로서는, 하층의 층간 절연막(41)상에 저항소자(2a)가 형성되어, 제1 배선(5)과 동일층으로부터 형성된 전극에 의해 접속되며, 저항으로서 기능하고 있다. 한편, 상층의 층간 절연막(42)상에 유전체 재료인 용량소자(1a)가 형성되어, 제1 배선(5)과 제2 배선(6) 사이에 끼워지고, 예컨대, 제1 배선(5)이 하부전극으로 되고 제2 배선(6)이 상부전극으로 되어, 캐패시터를 구성하고 있다.

종래, 용량소자(1a)와 저항소자(2a)는 도면에 도시된 바와 같이, 분리 재료층을 이용하여 독립적으로 형성되는 것이 통상적이다.

최근에, LSI 등의 반도체 장치 분야에서, 보다 고집적화의 요청으로부터, 용량소자의 고용량화를 목적으로, 각종의 고유전율의 유전체재료의 개발이 행하여지고 있다. 예를들면, Ta_2O_5 , PZT, BST, STO 등과 같은 유전체 재료의 개발이 열심히 행하여지고 있다. 그 중에서도, Ta_2O_5 (5산화 탄탈)은 실용단계에 있고, 장치에의 탑재도 개시되어 있다.

그런데, 종래의 전형적인 용량소자재료인 SiN(실리콘 나이트라이드)은 용량소자로서의 용도이외로도, 소자분리기층용 재료나 보호막으로서의 용도로 사용될 수 있기 때문에, 설비투자에 대한 부하를 덜어 줄 수 있는 입장에서 부가가치는 많이 있다고 할 수 있다.

그러나, 상습한 신재료의 경우, 전부가 반드시 용량소자재료이외의 용도에 대해서 적합한지는 불명하다. 용량소자재료로서 떨어져 나가는 것은, 용량소자의 성능그자체가 LSI 등의 부가가치를 결정하는 메모리 LSI 등에 대해서는 확실히 충분한 부가가치가 얻지진다. 그러나, 상기 용량소자가 수동소자의 일부로 의도된 전자부재, 예를들면 시스템 LSI 장치, 혼합된 신호 LSI 장치 및 ASIC 장치 등에서는, 반드시 그 개발이 부가가치를 가져온다고는 단정될 수 없다. 이러한 이유 때문에, 신재료의 도입에 있어서는, 필요한 프로세스 코스트 및 설비도입 코스트에 대한 용량소자성능향상도를 포함시킨 종합적인 부가가치로서는 선종하지 않을 수가 없는 경향이 있다.

그래서, 본 발명자는 여러가지를 검토하여, 용량소자재료로서 떨어져나와 동시에, 용량소자재료이외의 용도에 있어서도 적합한 재료를 사용하여, 용이하면서도 적절한 재료를 사용하는 기술의 제공 여부에 대한 연구를 계속하였다.

본 발명이 이루고자 하는 기술적 과제

본 발명은 상습한 배경에서 이루어진 것으로, 용량소자재료로서 떨어져나와, 또한 용량소자 재료 이외의 용도에 대해서도 적합한 이용분야가 있는 재료를 찾아냄 과 동시에 이것을 사용하여, 이 재료에 의해 효율적으로 그 생산의 용도적성을 발휘할 수 있는 부재가 얻어지는 기술을 제공하는 것을 목적으로 하는 것이다.

상기 목적을 달성하기 위해서, 본 발명에 있어서는, 동일재료를 각각 다른 처리로 처리하는 것에 의해 용량소자를 형성하는 것도, 저항소자를 형성하는 것도 가능한 재료를 채용한다.

기본적으로, 본 발명은 용량소자재료로서도, 용량소자재료이외의 어떠한 재료로서도 적합한 재료를 검색하는 과정에서, 동일재료를 처리 하는 것으로 상기한바와 같이 특수의 용도의 재료를 얻는 것은 없는가를 검토하여, 용량소자재료이외의 용도로서 저항소자를 형성하는 것을 추정한 것이다. 본 발명은 상습의 본 발명자에 의한 발견을 근거로 한 것이다.

본 발명에 따른 용량소자와 저항소자를 갖는 전자부재의 제조방법을 제공하는 것이며, 상기 용량소자 및 저항소자는 단일 조성물을 가진 재료층을 각각 다른 처리로 국부적으로 행하는 것에 의해 상기 재료층에 개별적으로 형성되는 것을 특징으로 한다. 또한, 본 발명은 용량소자와 저항소자를 가진 전자 부재를 제공하는 것이며, 상기 용량소자와 저항소자가 산화 탄탈막안으로, 용량소자를 형성하는 영역내에는 산소를, 저항소자를 형성하는 영역에는 질소를 각각 나눠 주입하여, 소자를 분리형성하는 것을 특징으로 한다.

본 발명에 따른 반도체 장치의 제조방법은 용탕소자와 저항소자를 갖는 반도체 장치의 제조방법이고, 상기 용탕소자 및 저항소자는 단일 조성층을 가진 재료층을 각각 다른 처리로 국부적으로 행하는 것에 의해 상기 재료층에 개별적으로 형성되는 것을 특징으로 한다. 또한, 본 발명은 용탕소자와 저항소자를 갖는 반도체 장치의 제조방법을 제공하는 것이며, 상기 용탕소자와 저항소자는 산화 탄탈막만으로, 용탕소자영역에는 산소를, 저항소자영역에는 질소를 각각 나눠 주입하여 소자를 분리형성하는 것을 특징으로 한다.

더 나아가, 본 발명에 따른 반도체 장치는 용탕소자와 저항소자를 단일 기판에 갖고 있으며, 상기 용탕소자와 저항소자는 동일재료로 이루어지는 재료층을 각각 다른 처리로 처리하는 것에 의해 형성하는 것을 특징으로 한다.

본 발명에 의하면, 용탕소자 및 저항소자는 단일 재료층상에 분리 처리에 의해 형성되고 즉, 재료가 용탕소자 뿐만 아니라 저항소자에도 사용된다. 그래서, 개발의 부가가치를 높이고, 효율적인 소자의 형성이 보장된다.

예를들면, 일반적으로는, 고유전체 재료로서 개발되어 있는 Ta(탄탈)는 산화에 의해 절연성을 갖고, 집화에 의해 저항으로서 사용할 수 있는 도전성을 갖는다. 이러한 성질이 있으므로, 이것을 이용하여, 예를들면 동일 층에 용탕소자와 저항소자를 형성하여, 탄탈 화합물을 형성 프로세스(TaO₅ 프로세스)의 부가치(성능/코스트 비)를 높일 수 있다. 또한, 이 경우, 집화-탄탈 저항체가 종래의 저항체보다 비교적 용이하게 고 시트저항이 얻어지기 때문에, 소자의 축소·소형화가 가능하고, 고집적화에도 유리하다.

또한, 상기 처리에 의해 용탕소자재료 또는 저항소자재료로 될 수 있는 재료를 사용하며, 같은 효과를 얻을 수 있다.

본 발명에 따르면, 용탕소자를 위해 또한 다른 적용예에 적절하게 적용될 수 있는 우수한 재료가 사용될 수 있고, 상기 재료는 각각 용탕소자 및 저항소자를 위해 적절한 다른 재료로 효율적으로 변환될 수 있다.

발명의 구성 및 작용

(발명의 실시의 형태)

이하, 본 발명의 양호한 실시예를 첨부도면을 참조하여 설명한다. 본 발명은 이하의 설명 및 도시의 형태에 의해 한정되는 것은 아니다.

본 발명의 실시예에서, 초기에 단일 조성층을 가진 재료층은 산화 탄탈막으로 형성되고, 용탕소자 및 저항소자는 각각, 5산화 탄탈, 산질화 탄탈로 할 수 있다.

본 발명의 방법은 산화 탄탈막에, 용탕소자영역에는 산소를, 저항소자영역에는 질소를 각각 나눠 주입하여, 소자를 분리형성하는 구성으로 할 수 있다. 이 경우에, 산소 및 질소의 주입에, 플라즈마 도핑법을 사용할 수 있다. 또한, 산소의 주입에는, O₂, O₃, N₂O 또는 H₂O₂(임의의 20배상의 혼합이라도 좋다)를 사용하며, 질소의 주입에는, N₂, NH₃ 또는 N₂H₄(임의의 20배상의 혼합이라도 좋다)의 가스를 사용할 수 있다.

본 발명의 실시예에 있어서, 용탕소자와 저항소자는 수동소자일 수 있다. 이 경우, 수동소자로 용탕소자와 저항소자의 형성은 능동소자 형성공정이후로 하는 것이 바람직하다.

이하, 동일 층에 가능한 한 단일 형성 공정에서 용탕소자와 저항소자를 형성하고, 이를 가능하게 하는 재료층을 선택하며, 처리로서 산화수단, 및 질화수단을 채용함과 동시에, 핵산화수단, 및 질화수단이 적절한 도출을 시도하여 이것을 실현한 본 발명의 양호한 실시예에 대해 설명한다.

(예 1)

상기 예에서, 본 발명은 용탕소자와 저항소자를 갖는 전자부재인 반도체 장치, 특히 미세화 및 집적된 LSI 에 대해 본 발명을 적용하였다. 특히, 본 예에서는 N₂H₄ 구조(절연체/금속인 금속/유전체 재료)의 용탕소자를 형성함과 동시에, 저항소자를 형성하도록 한 것으로, 용탕소자와 저항소자는 형성순서에 차이는 있지만, 동일 성장층에 형성되는 것이다. 양자(용탕소자와 저항소자)는 예를들면 제2 전극만을 지나서 연결되도록 구성된다.

즉, 도 1 에 도시된 바와 같이, 본 발명의 예에 따른 반도체 장치에서, 층간 절연막(4)과 제1 배선은 순차로 예를들면 실리콘 등의 기판(3) 상에 형성되고, 그 위에 층간 절연막(6) 및 배선간 층간 절연막(7)을 사이에 채우고 제2 배선(8)이 형성되어 있다. 유전체 층인 용탕소자(1)는 층간 절연막(6)에 설치된 개구를 덮도록 형성되어, 제1 배선(5)과 제2 배선(8) 사이에 끼워지고, 예컨대 제1 배선(5)이 하부전극이 되고 제2 배선(8)이 상부전극으로 되는 구성으로, 캐패시터를 구성하고 있다.

저항소자(2)는 층간 절연막(6)에 형성되어 있다. 저항소자(2)와 유전체층인 용탕소자(1)는 어느것이나 제2 배선(8)과 접속된다. 즉, 본 예에서, 양 소자는 제2 배선(8)만을 지나서 연결된다.

상기 저항소자(2)는 상기 유전체 층인 용탕소자(1)가 형성된 재료층의 국부 처리에 의해 형성된다. 즉, 상기 층간 절연막(6)은 용탕소자가 형성된 개구를 재공하도록 패터닝되고, 저항소자(2) 및 용탕소자(1)를 형성하기 위한 재료층(CVD법에 의해 형성된 산화 탄탈층)을 형성한 후, 상기 재료층의 일부를 질화하여 저항소자(2)를 얻고, 그 다른 부분은 산화하여 용탕소자(1)를 얻는다. 구체적인 형성방법은, 다음의 예2에서 설명한다.

기본적으로, 본 예에서, 소자형성층의 재료를 CVD에 의해 산화 탄탈층으로 하여, 용탕소자를 형성하는 영역에는 산소를 선택적으로 도핑하여 5산화 탄탈을 향해 부가의 산화를 촉진하고, 저항소자를 형성하는 영역에 질소를 선택적으로 도핑하여 산질화 탄탈로 변환하였다. 산화 탄탈재료층과 상부전극(배선)이 서로 접속된 배선간 층간 절연막(본 예에서는 실리콘 산화막)의 패턴을 개구하여, 성능/코스트 비의 향상을

설명하도록 한 것이다.

(예 2)

본 예에서, 본 발명은 예1과 유사하게, 용탕소자와 저항소자를 갖는 전자부재인 반도체 장치에 적용되며, 특히, 미세화 및 집적된 LSI에 관해서 본 발명을 적용한 것이다.

본 발명의 제2 예에 따른 반도체 장치의 구조는 도2에 도시하였다. 상기 도면에 도시된 바와 같이, 기판(3) 예를들면 실리콘 등의 반도체 기판 상에 용탕 절연막(4)이 형성되며, 그 위에 저항소자(2) 및 제1 배선(5)이 형성되고, 그위에, 배선간 용탕 절연막(7)을 사이에 세워 제2 배선(8)이 형성된다. 유전체 재료인 용탕소자(1)는 배선간 용탕 절연막(7)에 제공된 개구 보다 넓은 영역을 차지하도록 제1 배선(5)상에 형성되며, 제1 배선(5)과 제2 배선(8) 사이에 끼워지고, 예컨대 제1 배선(5)이 하부전극이 되고, 제2 배선(8)이 상부전극이 되는 구성으로, 캐패시터를 구성한다.

상기 저항소자(2)는 상기 유전체 재료인 용탕소자(1)와 동일한 재료를 처리하여 형성된 것이다. 본 예의 구조를 얻기위한 방법은 도3 내지 도9를 참조하여 상세히 후술한다.

본 예의 반도체 장치에 있어서, 용탕소자와 저항소자는 수동소자이고, 능동소자는 먼저 형성되어 있다.

즉, 도3에 도시된 것은 능동소자(도시생략)의 형성이 종료한 후, 제1 배선(5)의 형성을 행하였을 때의 상태이다. 용탕소자 및 저항소자를 형성해야 할 영역이 도시되고 있다.

다음에, 제1 배선(5)이 저항소자 형성 영역에서 선택적으로 제거된다. 산화 탄탈막(9)을 박막으로서 성막한다(도 4). 상기 산화 탄탈막(9)은 CVD 법으로 형성된다.

산화 탄탈막(9)을, 용탕소자부(91)와 저항소자부(92)를 남겨두고서 제거한다. 그 다음에, 용탕소자부(91)를 레지스터 층(10)으로 덮어서 보호한다(도 5).

저항소자를 형성하기 위해, 질소를 저항소자부(92)에 주입하며, 이 저항소자부(92)에 있어서의 산화 탄탈막을 산화탄탈막으로 국부적으로 변환한다(도 6). 이 때, 용탕소자부(91)가 레지스터 층(10)으로 보호되어 있기때문에, 질소는 주입되지 않는다. 질소는 래디컬 형태로 저항소자부(92)의 산화 탄탈막을 공격한다고 고려된다.

다음에, 용탕소자부(91)를 보호하는 레지스터 층(10)을 제거하여, 그 후, 배선간 용탕 절연막(7)을 전 표면에 형성하고(도 7), 상기 막이 용탕소자부(91)에 대응하는 부분을 개구한다.

상기 용탕소자부(91)에, 산소를 주입하며, 용탕소자부(91)를 구성하고 있는 산화 탄탈막을 5산화 탄탈막으로 변환한다(도 8). 산소는 상기 배선간 용탕 절연막(7)에 제공된 개구만으로 주입되므로, 용탕소자부(91)만이 이 산소의 주입으로 산화되고, 배선간 용탕 절연막(7)에 덮여지고 있는 저항소자부(92)에는 영향은 없다. 질소는 래디컬 형태의 용탕소자부(91)의 산화 탄탈막을 공격한다고 고려된다. 그래서, 용탕소자(1)와 저항소자(2)의 형성이 완료된다.

다음에, 제2 배선(8)이 도9에 도시된 구조를 얻기위해 형성된다. 이는 도2에 이미 도시된 최종구조와 대응한다.

각 소자(1,2)소자로 부터의 산화 탄탈막(9)은 일반적으로 CVD 법으로 성막되고, 화학양론적 5산화 탄탈보다는 오히려, 적은 양의 탄소나 물, 수소 같은 불순물을 포함하는 산소 결핍 산화 탄탈막인 것이 바람직하다.

저항소자(2)를 형성하기 위한 질화(도6)는 양호하게는, 질소(N_2), 암모니아(NH_3), 하이드라진(NH_4) 또는 그 혼합물 중 어느하나를 사용하여 플라즈마 조사 처리로 행한다. 일반적으로는 질소 또는 암모니아를 사용하는 것이 바람직한 결과를 가져다 주지만, 하이드라진을 사용한 경우, 산화 탄탈에 대하는 환원작용과, 음화작용과가 더불어, 가장 효율적으로 질화를 행할 수 있다. 단지 하이드라진에는, 독성의 문제가 있어, 용이하게 취급할 수 없다는 문제가 있으므로, 유의를 요한다.

플라즈마 발생원으로서, 일반적인 평행 평판형, ICP(유도 결합 플라즈마), TOP(전달 결합 플라즈마) 또는 헬리콘 등, 어떠한 방식도 상관없다. 고밀도로 또한 어느정도 바이어스를 인가할 수 있는 시스템이 이용하는 것이 가장 효과적이다.

용탕소자(1)형성을 위한 산화(도 8)는 산소(O_2), 오존(O_3), 아산화질소(N_2O), 과산화 수소(H_2O_2) 또는 그 어떤 혼합물 중 어느 것을 사용해서 플라즈마 조사에 의해 처리하는 것이 바람직하다. 이들 중, 오존은 본질적으로 질성이기때문에, 조사만으로도 간단히 효과를 얻을 수 있다. 가능하면, 오존 조사 처리 또는 산소에 의한 고밀도 플라즈마 조사 처리가 바람직하다.

본 발명의 구체적인 실시예에서, CVD 법으로 산화 탄탈막(9)을 30 nm 성막하여(도 4), 그 후, 평행 평판형 플라즈마 처리장치에 의해서 암모니아 플라즈마를 14 분간 조사하고(도 6). 이것에 의해서, CVD 성막 후 대개 절연성을 나타내는 막이, 약 6 내지 0 k Ω /□의 시트저항을 얻을 수 있다. 또한, 같은 산화 탄탈막에 오존(O_3) 조사처리를 10분간 행하는 것으로, 단위용량 7 fF/ μm^2 , 누설 전류밀도 1 E-9 A/ cm^2 (5V 에 서)를 실현하고 있다. 또한, 각각의 부분 형성에 사용할 수 있는 재료로서는, 각 용탕 절연막으로서 플라즈마 TEOS-SiO₂ (또는 NSB:비도핑 실리콘 함유 플라스), PE-TEOS-SiO₂ 등이 있고, 제1 및 제2 배선의 재료로서는, 알루미늄(Al), 알루미늄-실리콘 합금(Al-Si), 알루미늄-동합금(Al-Cu)등을 들 수 있다. 상기 각각의 부분들은 일반적인 처리공정조건에 따라 형성될 수 있다.

발명의 효과

상술한 바와 같이, 본 발명을 실시하는 것에 의해, 산화 탄탈 사용기술의 부가가치가 향상하며, 특히 산화 탄탈 CVD 기술의 부가가치를 향상시킬 수 있다. 그래서, 본 발명은 용탕소자 재료로서 뛰어나고, 또한

용량소자재료 이외의 용도의 저항소자형성이 가능한 재료로서 부가가치가 향상하여, 이러한 재료에 대한 설비투자 등에 적극적으로 대응할 수 있다는 잇점이 있다. 또한, 본 발명은 종래의 저항소자, 예를들면 폴리실리콘 저항체 보다도 비교적 고저항인 저항소자를 용이하게 형성할 수 있다. 그 결과, 저항소자의 점유면적이 축소가능하고, 고집적화에 유리하다. 또한, 저항소자를, 용량소자나 무도소자 같은 다른 수동소자와 같은 형성층으로 소자형성하는 것이 가능하기 때문에, 기생성분이 감소하고, 구성을 단순화할 수 있는 것으로, 회로 설계가 용이하게 된다고 하는 이점도 갖는다.

본 발명을 지금까지 설명하였지만, 첨부하는 본 발명의 청구범위의 정신 및 범위를 이탈함이 없이 본 기술분야의 통상의 지식을 가진자에 의해 다른 변경 및 개조가 가능함은 물론이다.

(57) 청구의 범위

청구항 1

용량소자와 저항소자를 갖는 전자부재의 제조방법에 있어서,

상기 용량소자 및 저항소자는 단일 조성층을 가진 재료층을 각각 다른 처리로 국부적으로 행하는 것에 의해 상기 재료층에 개별적으로 형성되는 전자부재의 제조방법.

청구항 2

제 1 항에 있어서,

상기 단일 조성층을 가진 상기 재료층은 산화 탄탈막이고, 상기 용량소자는 5산화 탄탈이며, 상기 저항소자는 산화화 탄탈인 전자부재의 제조방법.

청구항 3

용량소자와 저항소자를 갖는 전자부재의 제조방법에 있어서,

상기 용량소자 및 저항소자는 산화 탄탈막 안으로, 용량소자를 형성하는 영역내에 산소 및, 저항소자를 형성하는 영역내에 질소를 주입하여 개별적으로 형성되는 전자부재의 제조방법

청구항 4

제 3 항에 있어서,

산소 및 질소의 주입에, 플라스마 도핑법을 사용하는 전자부재의 제조방법.

청구항 5

제 3 항에 있어서,

산소의 주입에는, O_2 , O_4 , N_2O 또는 H_2O 를 사용하고, 질소의 주입에는, N_2 , NH_3 또는 N_2H_4 를 사용하는 전자부재의 제조방법.

청구항 6

단일 기판 상에 용량소자와 저항소자를 갖는 반도체 장치의 제조방법에 있어서,

상기 용량소자 및 저항소자는 단일 조성층을 가진 재료층을 각각 다른 처리로 국부적으로 행하는 것에 의해 상기 재료층에 개별적으로 형성되는 반도체 장치의 제조방법.

청구항 7

제 6 항에 있어서,

단일 조성층을 가진 상기 재료층은 산화 탄탈막이고, 상기 용량소자는 5산화 탄탈이며, 상기 저항소자는 산화화 탄탈인 반도체 장치의 제조방법.

청구항 8

상기 용량소자와 저항소자는 수동소자이고, 능동소자의 형성이 완성된 후에 형성되는 반도체 장치의 제조방법

청구항 9

용량소자와 저항소자를 갖는 반도체 장치의 제조방법에 있어서,

상기 용량소자 및 저항소자는 산화 탄탈막 안으로, 용량소자를 형성하는 영역내의 산소 및, 저항소자를 형성하는 영역내의 질소를 주입하여 개별적으로 형성되는 반도체 장치의 제조방법.

청구항 10

제 9 항에 있어서,

산소 및 질소의 주입에, 플라스마 도핑법을 사용하는 반도체 장치의 제조방법.

청구항 11

제 9 항에 있어서,

산소의 주입에는, O_2 , O_4 , N_2O 또는 H_2O_2 를 사용하고, 질소의 주입에는, N_2 , NH_3 또는 N_2H_4 를 사용하는 반도체 장치의 제조방법.

청구항 12

용량소자와 저항소자를 갖는 반도체 장치에 있어서,

상기 용량소자 및 저항소자는 단일 조성물을 가진 재료층을 각각 다른 처리로 국부적으로 행하는 것에 의해 상기 재료층에 개별적으로 형성되는 반도체 장치.

청구항 13

제 12 항에 있어서,

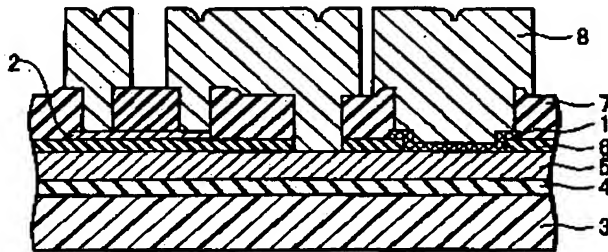
단일 조성물을 가진 상기 재료층은 산화 탄탈막이고, 상기 용량소자는 5산화 탄탈이며, 상기 저항소자는 산질화 탄탈인 반도체 장치.

청구항 14

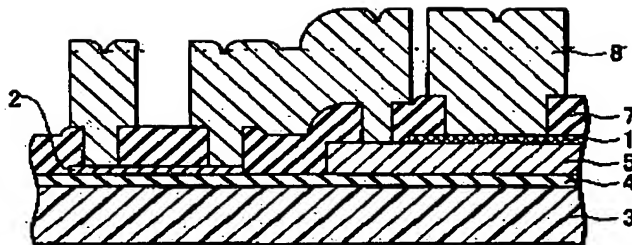
상기 용량소자와 저항소자는 수동소자인 반도체 장치.

도면

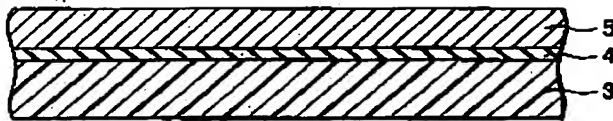
도면1



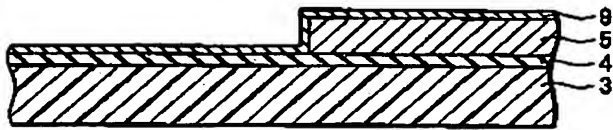
도면2



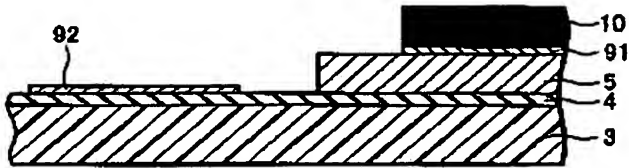
도면3



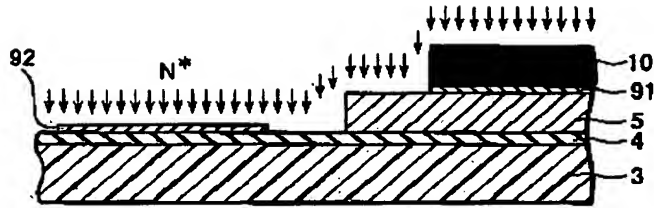
도면4



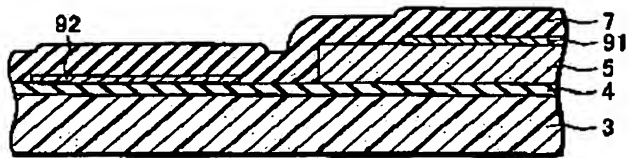
도면5



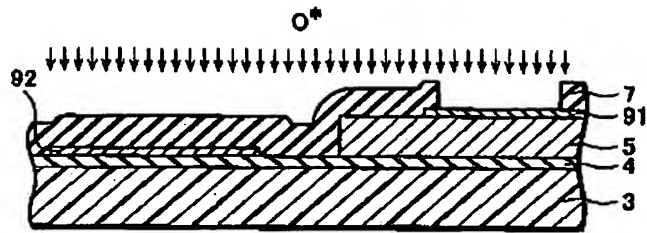
도면6



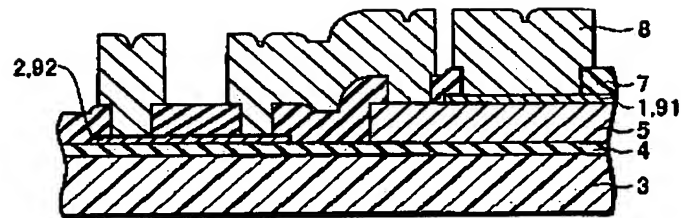
도면7



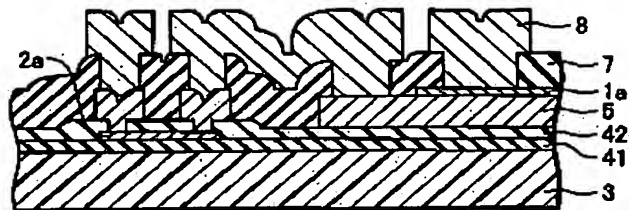
도면 8



도면 9



도면 10



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.